

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-194510

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)8月27日

G 05 B 19/02  
G 06 F 1/04

H-7740-5H  
7157-5B

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 タイミング制御信号出力回路

⑯ 特 願 昭61-37015

⑰ 出 願 昭61(1986)2月20日

⑱ 発 明 者 坂 本 和 夫 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

タイミング制御信号出力回路

2. 特許請求の範囲

クロックパルスを入力し、その任意のクロックパルス数毎にリセットされる計数回路と、この計数回路の計数出力コードをアドレスデータとして入力しこのアドレス<sup>に</sup>対応してあらかじめタイミング制御信号毎に一定周期で2値符号のタイミングパターンを格納したリードオンリメモリと、このリードオンリメモリから前記アドレスに対応して読出された出力を、前記クロックパルスに同期して一時保持して出力するバッファ回路とを備えたことを特徴とするタイミング制御信号出力回路。

3. 発明の詳細を説明

(産業上の利用分野)

本発明はシーケンス制御用デジタル回路にお

けるタイミング制御信号出力回路に関し、特に基本となるクロックパルスに同期したシーケンス動作が一定周期で繰返される回路に関する。

(従来の技術)

従来、この種のタイミング制御信号出力回路は、カウンタ<sup>シフトレジスタ</sup>、フリップフロップ<sup>回路</sup>、バッファ回路(ゲート回路を含む)にて構成され、必要なタイミングに対応して各々の回路を組み合わせて実現していた。

タイミング制御信号出力回路の1例として制御信号数8、一周期のクロックパルス数が9の場合について第5図の図<sup>回路</sup>により説明する。この回路のタイミングチャートを第3図に第3図に対応する符号化されたコード図を第4図に示す。

第5図における動作を以下に説明する。

シーケンシャル動作を開始するための外部起動信号9がフリップフロップ71に入力されると、その出力が符号「1」となる。クロックパルス10がシフトレジスタ6に入力されると、シフトレジスタ6の出力1に符号「1」が出力されると同時

にフリップフロップ71がリセットされる。クロックパルス10の次のタイミングで、シフトレジスタ6の出力1は符号「0」となり、出力2が符号「1」となる。

すなわち、クロックパルス10に同期してクロックパルス10の1周期幅のパルスが、シフトレジスタ6の出力1から出力9へ順次移行していく。このシフトレジスタ出力信号により、フリップフロップ72~77がセットおよびリセットされ、又、オア回路81~82および91~93にてシフトレジスタ出力信号がオアされて出力され、第3図のタイミングチャートに対応した制御信号A~Hの波形が得られ、シーケンス動作が終了する。そして、次の外部起動信号入力により、再び動作を開始する。

第5図の回路は、外部起動信号9が入力される毎にクロックパルス10に同期して一周期のクロックパルス数が9のシーケンス動作がくり返される同期式タイミング制御信号出力回路の例であるが、図の破線のようにシフトレジスタ6の出力9

をオア回路を介して外部起動信号9とオアをとりフリップフロップ71のセット側に入力すると、一度外部起動信号9が入力されると、それ以降は初めの一周期と同じシーケンス動作がくり返される非同同期式タイミング制御出力回路となる。

〔発明の解決しようとする問題点〕

上述した従来のタイミング制御信号出力回路は、必要とするタイミング制御信号毎に対応した回路を構成し、任意信号および信号間の時間的ランダム性が増加するに従い回路構成が複雑になるので、回路数の増加、多種類の回路構成、設計期間の長期化等の欠点がある。

本発明の目的は、回路構成が簡単でありながら複雑なタイミング制御信号を自由に設計でき、かつ、設計期間の短縮を図ることのできるタイミング制御信号出力回路を提供することにある。

〔問題点を解決するための手段〕

本発明のタイミング制御信号出力回路の構成は、クロックパルスを入力し、その任意のクロックパルス数毎にリセットされる計数回路と、この計数

回路の計数出力コードをアドレスデータとして入力しこのアドレス対応にあらかじめタイミング制御信号毎に一定周期で2値符号のタイミングパターンを格納したリードオンリメモリと、このリードオンリメモリから前記アドレスに対応して読出された出力を、前記クロックパルスに同期して一時保持して出力するバッファ回路とを備えたことを特徴とする。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例で、出力信号数が8<sub>ビット</sub>信号で計数最大値が9の場合の同期式の回路である。

この実施例の動作は、第3図のタイミングチャート、第4図の第3図に対応する符号化されたコード図に対応している。

第1図の実施例は、8ビット×10以上のリードオンリメモリ回路1と4ビット2進計数回路2と2入力アンド回路21、22とフリップフロップ回路24と、8ビットバッファメモリ回路3と、シーケンス動作制御回路4とで構成される。

リードオンリメモリ回路1には第3図のタイミングチャートに対応して、符号化されたコードが第4図の論理値の状態であらかじめ書き込まれている。

外部起動信号9によりフリップフロップ回路24がセットされ、クロックパルス10が計数回路2に入力されると、計数値すなわちアドレスが、「0001」となり、それにより出力信号2'すなわちA'と2<sup>3</sup>すなわちE'の出力波形が符号「0」から「1」に変化する。

クロックパルス10の次の変化タイミングで、アドレスが「0010」となると、リードオンリメモリ回路1の出力は書き込まれたコードに対応して2'すなわちA'と2<sup>3</sup>すなわちE'は、符号「1」を継続し、2<sup>0</sup>、2<sup>1</sup>、2<sup>2</sup>すなわちB'、G'、H'が新たに符号「0」から「1」に変化する。

同様な動作で、クロックパルス10のタイミングに同期してリードオンリメモリ回路1の内容がA'~H'として出力されさらに、バッファメモリ回路3にてA~Hに波形成形されその結果、第

3図のタイミングチャートと同一の波形が得られることになる。

本実施例は、出力信号8ビット、アドレス4ビットの場合であるが、これは必要とする出力信号数と波形によって変化する。しかし、あらかじめ想定される出力信号数およびアドレスビット数に対応した最大のリードオンリーメモリ回路と計数回路で構成しておけば、必要なタイミング制御信号に対応し符号化した書き込みコードのみ変更することにより、あらゆるタイミング制御信号が得られることになる。

第1図の実施例は外部起動信号が入力する毎にシーケンス動作を行う同期式回路であるが、外部起動信号およびフリップフロップを除くことにより非同同期式回路とすることができる。

第2図は本発明の第2の実施例の非同同期式の回路図で、第1図のバッファメモリ回路3をアンド回路11～18で置き換え、クロックパルス10とリードオンリーメモリ回路1の出力とをアンドすることによりクロックパルス10の幅のタイミン

グ制御信号出力を得ることができるようにした回路である。

この場合は、第1図のように外部起動信号9を入力し、フリップフロップ70のセット入力に、また2入力アンド回路23の出力をリセット側に入力し、フリップフロップ70の出力とクロックパルス10とをアンド回路21でアンドをとり計数回路2に入力することで同期式の回路とすることができる。

#### 〔発明の効果〕

以上説明したように本発明は、タイミング制御信号を2値符号化したコードが書き込まれたリードオンリーメモリ回路とアドレス出力用計数回路およびバッファ回路にて回路構成をすることにより従来回路に比較し、回路数の低減、回路の共通化、設計期間の短期化が実現できる効果がある。

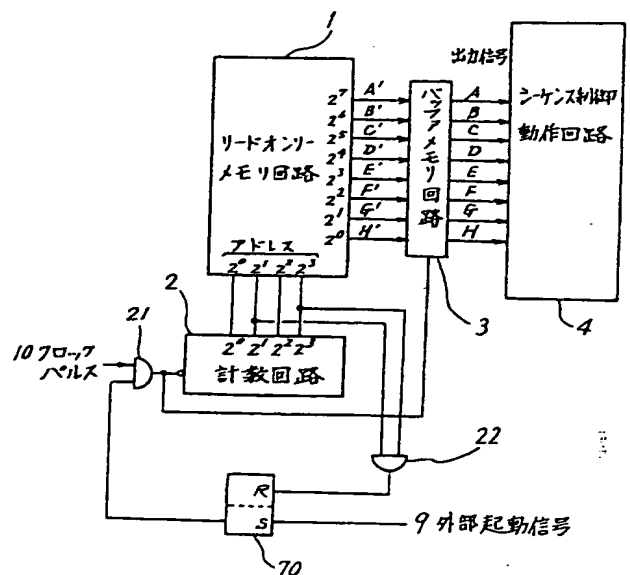
上記の効果は、信号数が多く出力タイミングがランダムかつ複雑であればある程、従来回路に比べ効果が増大する。

#### 4. 図面の簡単な説明

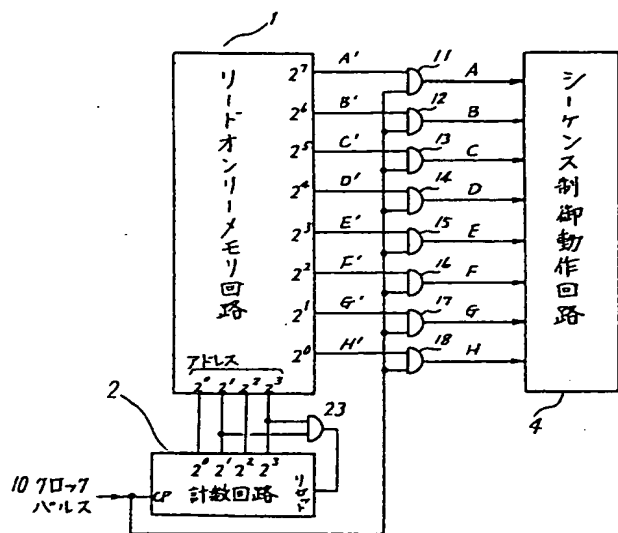
第1図は本発明の一実施例で、出力信号数が8信号で計数最大値が9の場合の同期式の回路図、第2図は本発明の第2の実施例の非同同期式の回路図、第3図は実施例および従来回路における出力波形のタイミングチャート、第4図は第3図に対応する符号化されたコード図、第5図は従来回路の一例の回路図である。

1……リードオンリーメモリ回路、2……計数回路、3……バッファメモリ回路、4……シーケンス制御動作回路、9……外部起動信号、10……クロックパルス、11～18、21～23……2入力アンド回路、70……フリップフロップ回路、81、82……3入力オア回路、90～92……2入力オア回路。

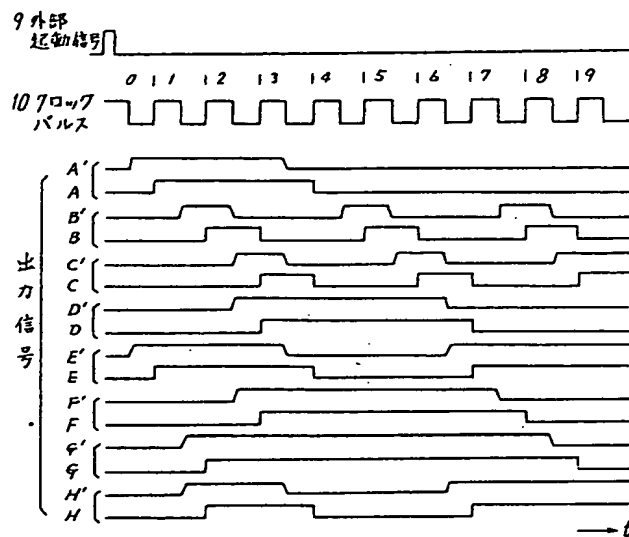
代理人 弁理士 内 原 晋



第 1 図



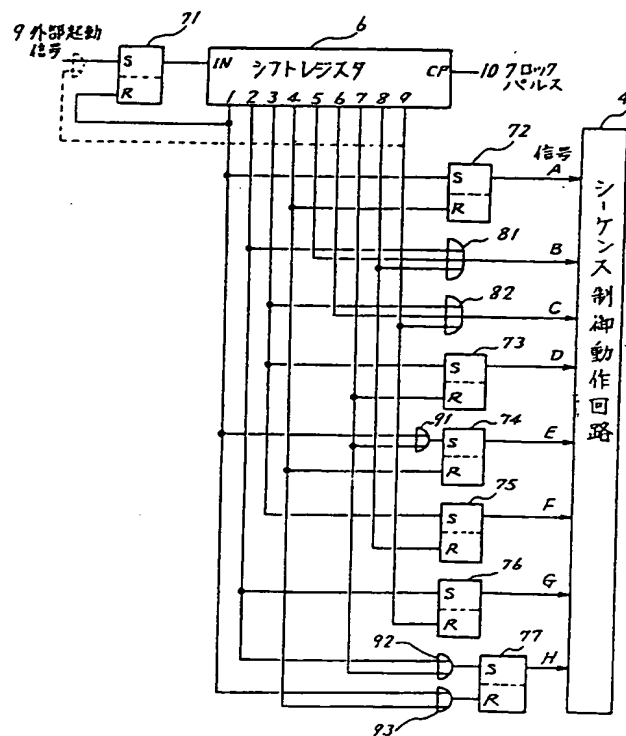
第 2 図



第 3 図

アドレス	2 <sup>3</sup>	2 <sup>2</sup>	2 <sup>1</sup>	2 <sup>0</sup>	2 <sup>7</sup>	2 <sup>6</sup>	2 <sup>5</sup>	2 <sup>4</sup>	2 <sup>3</sup>	2 <sup>2</sup>	2 <sup>1</sup>	2 <sup>0</sup>
	0	0	0	0	0	0	0	0	0	1	1	1
	0	0	0	0	0	1	1	1	1	0	0	0
	0	0	1	1	0	0	1	1	1	0	0	0
書き込みコード	0	1	0	1	0	1	0	1	0	1	0	1
	0	1	1	1	0	0	0	0	0	0	0	0
	0	0	1	0	0	1	0	0	1	0	0	1
	0	0	0	1	0	0	1	1	0	0	0	0
書き込みコード	0	0	0	1	1	1	1	1	1	1	1	1
	0	0	0	1	1	1	1	1	1	1	0	0
	0	0	1	1	1	1	1	1	1	1	1	0
	0	0	1	1	0	0	0	1	1	1	1	1

第 4 図



第 5 図

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-194510

(43)Date of publication of application : 27.08.1987

(51)Int.Cl.

G05B 19/02

G06F 1/04

(21)Application number : 61-037015

(71)Applicant : NEC CORP

(22)Date of filing : 20.02.1986

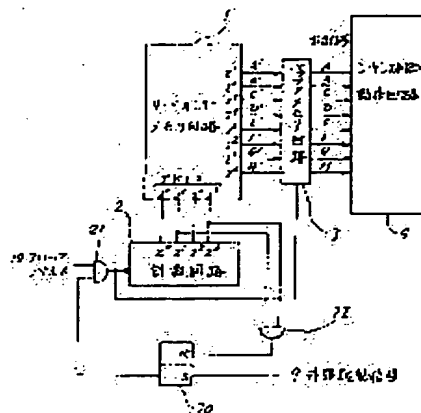
(72)Inventor : SAKAMOTO KAZUO

## (54) OUTPUT CIRCUIT FOR TIMING CONTROL SIGNAL

## (57)Abstract:

PURPOSE: To attain output of the complicated timing signal by forming the titled signal output circuit with a ROM circuit to which a code obtained by binary coding the timing control signal is written, an address output counter circuit and a buffer circuit.

CONSTITUTION: A ROM circuit 1 stores previously a timing pattern of binary codes for each timing control signal in a fixed cycle and according to an address. When the external start signal 9 is supplied to an FF circuit 70, the circuit 70 is set and the clock pulse 10 is supplied to a counter circuit 2. The circuit 2 inputs the pulse 10 and is reset for each optional number of pulses. The count output code of the circuit 2 is supplied to the circuit 1 as an address and the output read out in response to an address is sent to a buffer memory circuit 3. Then the output which is held temporarily the circuit 3 synchronously with the pulse 10 is sent to a sequence control action circuit 4. Thus, it is possible to design freely a complicated timing control signal and to deliver this control signal. Furthermore, the designing period of said timing control signal is shortened.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office